

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月 21日
Date of Application:

出願番号 特願 2003-044351
Application Number:

[ST. 10/C] : [JP 2003-044351]

出願人 セイコーエプソン株式会社
Applicant(s):

2003年12月 5日

特許庁長官
Commissioner,
Japan Patent Office

今井康



【書類名】 特許願
【整理番号】 J0093213
【あて先】 特許庁長官殿
【国際特許分類】 G09G 3/30
【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内
【氏名】 城 宏明
【特許出願人】
【識別番号】 000002369
【氏名又は名称】 セイコーホームズ株式会社
【代理人】
【識別番号】 100095728
【弁理士】
【氏名又は名称】 上柳 雅裕
【連絡先】 0266-52-3139
【選任した代理人】
【識別番号】 100107076
【弁理士】
【氏名又は名称】 藤岡 英吉
【選任した代理人】
【識別番号】 100107261
【弁理士】
【氏名又は名称】 須澤 修
【手数料の表示】
【予納台帳番号】 013044
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子回路、電子装置、電気光学装置及び電子機器

【特許請求の範囲】

【請求項 1】 第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、

第2の制御用端子を備え、前記第1の制御用端子に前記第2の制御用端子が接続された複数の第2のトランジスタと、

各々が信号線に接続された第3の制御用端子を備え、前記複数の第2のトランジスタの各々に直列に接続された複数の第3のトランジスタと、

第4の制御用端子を備え、前記第1の制御用端子に前記第4の制御用端子が接続された第4のトランジスタと、を含み、

前記複数の第3のトランジスタのうち、前記信号線を介して供給されるオン信号によりオン状態とされた第3のトランジスタと、前記複数の第2のトランジスタのうち、前記オン状態とされた第3のトランジスタと直列に接続された第2のトランジスタと、からなる電流経路は一つの出力端子に接続され、

前記第4のトランジスタは前記一つの出力端子には接続されないことを特徴とする電子回路。

【請求項 2】 請求項1に記載の電子回路において、

前記第4のトランジスタの利得係数は、前記第1のトランジスタの利得係数と同じであることを特徴とする電子回路。

【請求項 3】 請求項1または2に記載の電子回路において、

第5の制御用端子を備え、前記第1のトランジスタと直列に接続された第5のトランジスタと、

第6の制御用端子を備え、前記第5の制御用端子が前記第6の制御用端子に接続された、ダイオード接続された第6のトランジスタとを備えたことを特徴とする電子回路。

【請求項 4】 第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、

前記第1の制御用端子の電圧レベルを基準値とした電流を出力する複数の第2

のトランジスタと、

各々が第3の制御用端子を備え、前記第3の制御用端子に入力されるオン・オフ信号に応じて前記複数の第2のトランジスタの各々から出力される電流を制御する第3のトランジスタと、

第4の制御用端子を備え、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する第4のトランジスタと、を含み、

前記第4のトランジスタから出力される電流は、前記複数の第2のトランジスタの各々から出力される電流経路には流れないようにしたことを特徴とする電子回路。

【請求項5】 第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、

前記第1の制御用端子の電圧レベルを基準値とした電流を出力する複数の第2のトランジスタと、

各々が第3の制御用端子を備え、前記第3の制御用端子に入力されるオン・オフ信号に応じて前記複数の第2のトランジスタの各々から出力される電流を制御する第3のトランジスタと、

前記第1の制御用端子の電圧レベルを基準値とした電流を出力する第4のトランジスタと、を含み、

前記複数の第3のトランジスタのうち、前記オン・オフ信号によりオン状態とされた第3のトランジスタと、前記複数の第2のトランジスタのうち、前記オン状態とされた第3のトランジスタと直列に接続された第2のトランジスタと、からなる電流経路には、前記第4のトランジスタは設けられていないことを特徴とする電子回路。

【請求項6】 請求項4または5に記載の電子回路において、

前記第4のトランジスタの利得係数は、前記第1のトランジスタの利得係数と同じであることを特徴とする電子回路。

【請求項7】 請求項4乃至6のいずれか1つに記載の電子回路において、

第5の制御用端子を備え、前記第1のトランジスタと直列に接続された第5のトランジスタと、

第6の制御用端子を備え、前記第5の制御用端子が前記第6の制御用端子に接続された、ダイオード接続された第6のトランジスタとを備えたことを特徴とする電子回路。

【請求項8】 複数の単位回路を備えた電子装置において、前記複数の単位回路の各々は、
第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、
第2の制御用端子を備え、前記第1の制御用端子に前記第2の制御用端子が接続された複数の第2のトランジスタと、
各々が信号線に接続された第3の制御用端子を備え、前記複数の第2のトランジスタの各々に直列に接続された複数の第3のトランジスタと、
第4の制御用端子を備え、前記第1の制御用端子に前記第4の制御用端子が接続されるとともに、前記信号線を介して供給されるオン信号によりオン状態とされた前記第3のトランジスタと直列に接続された第2のトランジスタからなる電流経路には設けられていない第4のトランジスタと、を含み、
前記第4のトランジスタは、接続線を介して他の単位回路に接続され、前記第4のトランジスタから出力される電流レベルに応じて、他の単位回路に含まれる第1の制御用端子の電圧レベルを制御することを特徴とする電子装置。

【請求項9】 請求項8に記載の電子装置において、前記複数の単位回路の各々の前記第4のトランジスタの利得係数は、前記第1のトランジスタの利得係数と同じであることを特徴とする電子装置。

【請求項10】 請求項8または9に記載の電子装置において、前記複数の単位回路の各々は、
第5の制御用端子を備え、前記第1のトランジスタと直列に接続された第5のトランジスタと、
第6の制御用端子を備え、前記第5の制御用端子が前記第6の制御用端子に接続された、ダイオード接続された第6のトランジスタとを備えたことを特徴とする電子装置。

【請求項11】 複数の単位回路を備えた電子装置において、前記複数の単位回路の各々は、

第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する複数の第2のトランジスタと、

各々が第3の制御用端子を備え、前記第3の制御用端子に入力されるオン・オフ信号に応じて前記複数の第2のトランジスタの各々から出力される電流を制御する第3のトランジスタと、

第4の制御用端子を備え、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する第4のトランジスタと、を含み、

前記第4のトランジスタから出力される電流は、前記オン・オフ信号によりオン状態とされた前記第3のトランジスタと直列に接続された第2のトランジスタからなる電流経路には供給されず、他の単位回路に供給されることを特徴とする電子装置。

【請求項12】 複数の単位回路を備えた電子装置において、前記複数の単位回路の各々は、
第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する複数の第2のトランジスタと、

各々が第3の制御用端子を備え、前記第3の制御用端子に入力されるオン・オフ信号に応じて前記複数の第2のトランジスタの各々から出力される電流を制御する第3のトランジスタと、

第4の制御用端子を備え、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する第4のトランジスタと、を含み、

前記第4のトランジスタから出力される電流は、他の単位回路の第1の制御用端子の電圧レベルを設定する基準電流となることを特徴とする電子装置。

【請求項13】 請求項11または12に記載の電子装置において、前記複数の単位回路の各々の前記第4のトランジスタの利得係数は、前記第1のトランジスタの利得係数と同じであることを特徴とする電子装置。

【請求項14】 請求項11乃至13のいずれか1つに記載の電子装置において、

複数の前記単位回路は、カスケード接続されていることを特徴とする電子装置。

【請求項15】 請求項11乃至14のいずれか1つに記載の電子装置において、

前記複数の単位回路の各々は、

第5の制御用端子を備え、前記第1のトランジスタと直列に接続された第5のトランジスタと、

第6の制御用端子を備え、前記第5の制御用端子が前記第6の制御用端子に接続された、ダイオード接続された第6のトランジスタとが設けられていることを特徴とする電子装置。

【請求項16】 複数の単位回路を備えた電子装置において、

前記複数の単位回路の各々は、

第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、

前記第1の制御用端子の電圧レベルを基準値とした電流を出力する複数の第2のトランジスタと、

各々が第3の制御用端子を備え、前記第3の制御用端子に入力されるオン・オフ信号に応じて前記複数の第2のトランジスタの各々から出力される電流を制御する第3のトランジスタと、

第4の制御用端子を備え、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する第4のトランジスタと、

第5の制御用端子を備え、前記第1のトランジスタと直列に接続された第5のトランジスタと、

第6の制御用端子を備え、前記第5の制御用端子が前記第6の制御用端子に接続された、ダイオード接続された第6のトランジスタと、を含み、

前記第4のトランジスタは、同第4のトランジスタが含まれる単位回路の、前記オン・オフ信号によりオン状態とされた前記第3のトランジスタと直列に接続された第2のトランジスタとは接続されず、他の単位回路に含まれる前記第6のトランジスタに接続されていることを特徴とする電子装置。

【請求項17】 請求項16に記載の電子装置において、

前記複数の単位回路の各々の前記第4のトランジスタの利得係数は、前記第1のトランジスタの利得係数と同じであることを特徴とする電子装置。

【請求項18】 請求項16または17に記載の電子装置において、複数の前記単位回路は、カスケード接続されていることを特徴とする電子装置。

【請求項19】 複数の走査線と、複数のデータ線と、これら各前記走査線と各前記データ線との交差部に対応してそれぞれ配設された電気光学素子とを備えるとともに、各前記データ線にデータ電流を供給するデータ電流供給回路を備え、各前記電気光学素子に前記データ電流に応じた駆動電流量を供給する電気光学装置において、

前記データ電流供給回路は、

第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、

第2の制御用端子を備え、前記第1の制御用端子に前記第2の制御用端子が接続された複数の第2のトランジスタと、

各々が画像データを供給する信号線に接続された第3の制御用端子を備え、前記複数の第2のトランジスタの各々と直列に接続された複数の第3のトランジスタと、

第4の制御用端子を備え、前記第1の制御用端子に前記第4の制御用端子が接続された第4のトランジスタと

を含み、

前記第4のトランジスタは、接続線を介して他のデータ電流供給回路に接続され、前記第4のトランジスタから出力される電流レベルに応じて、他のデータ電流供給回路に含まれる第1の制御用端子の電圧レベルを制御することを特徴とする電気光学装置。

【請求項20】 請求項19に記載の電気光学装置において、前記第4のトランジスタの利得係数は、前記第1のトランジスタの利得係数と同じであることを特徴とする電気光学装置。

【請求項21】 請求項19または20に記載の電気光学装置において、前記データ電流供給回路は、

第5の制御用端子を備え、前記第1のトランジスタと直列に接続された第5のトランジスタと、

第6の制御用端子を備え、前記第5の制御用端子が前記第6の制御用端子に接続された、ダイオード接続された第6のトランジスタと
を備えたことを特徴とする電気光学装置。

【請求項22】 複数の走査線と、複数のデータ線と、これら各前記走査線と各前記データ線との交差部に対応してそれぞれ配設された電気光学素子とを備えるとともに、各前記データ線にデータ電流を供給するデータ電流供給回路を備え、各前記電気光学素子に前記データ電流に応じた駆動電流量を供給する電気光学装置において、

前記各データ電流供給回路は、

第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、
前記第1の制御用端子の電圧レベルを基準値とした電流を出力する複数の第2のトランジスタと、

各々が第3の制御用端子を備え、前記第3の制御用端子に入力される画像データに応じて前記複数の第2のトランジスタの各々から出力される電流を制御する第3のトランジスタと、

第4の制御用端子を備え、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する第4のトランジスタと、を含み、

前記第4のトランジスタから出力される電流は、前記画像データによりオン状態とされた前記第3のトランジスタと直列に接続された第2のトランジスタからなる電流経路には供給されず、他の単位回路に供給されることを特徴とする電気光学装置。

【請求項23】 複数の走査線と、複数のデータ線と、これら各前記走査線と各前記データ線との交差部に対応してそれぞれ配設された電気光学素子とを備えるとともに、各前記データ線にデータ電流を供給するデータ電流供給回路を備え、各前記電気光学素子に前記データ電流に応じた駆動電流量を供給する電気光学装置において、

前記各データ電流供給回路は、

第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する複数の第2のトランジスタと、

各々が第3の制御用端子を備え、前記第3の制御用端子に入力される画像データに応じて前記複数の第2のトランジスタの各々から出力される電流を制御する第3のトランジスタと、

第4の制御用端子を備え、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する第4のトランジスタと、を含み、

前記第4のトランジスタから出力される電流は、他の単位回路の第1の制御用端子の電圧レベルを設定する基準電流となることを特徴とする電気光学装置。

【請求項24】 請求項22または23に記載の電気光学装置において、前記複数のデータ電流供給回路の各々の前記第4のトランジスタの利得係数は、前記第1のトランジスタの利得係数と同じであることを特徴とする電気光学装置。

【請求項25】 請求項22乃至24のいずれか1つに記載の電気光学装置において、

複数の前記データ電流供給回路は、カスケード接続されていることを特徴とする電気光学装置。

【請求項26】 請求項22乃至25のいずれか1つに記載の電気光学装置において、

前記各データ電流供給回路は、

第5の制御用端子を備え、前記第1のトランジスタと直列に接続された第5のトランジスタと、

第6の制御用端子を備え、前記第5の制御用端子が前記第6の制御用端子に接続された、ダイオード接続された第6のトランジスタとが設けられていることを特徴とする電気光学装置。

【請求項27】 複数の走査線と、複数のデータ線と、これら各前記走査線と各前記データ線との交差部に対応してそれぞれ配設された電気光学素子とを備えるとともに、各前記データ線にデータ電流を供給するデータ電流供給回路を備

え、各前記電気光学素子に前記データ電流に応じた駆動電流量を供給する電気光学装置において、

前記データ電流供給回路は、

第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、

前記第1の制御用端子の電圧レベルを基準値とした電流を出力する複数の第2のトランジスタと、

各々が第3の制御用端子を備え、前記第3の制御用端子に入力されるオン・オフ信号に応じて前記複数の第2のトランジスタの各々から出力される電流を制御する第3のトランジスタと、

第4の制御用端子を備え、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する第4のトランジスタと、

第5の制御用端子を備え、前記第1のトランジスタと直列に接続された第5のトランジスタと、

第6の制御用端子を備え、前記第5の制御用端子が前記第6の制御用端子に接続された、ダイオード接続された第6のトランジスタと、を含み、

前記第4のトランジスタは、同第4のトランジスタが含まれる単位回路の前記オン・オフ信号によりオン状態とされた前記第3のトランジスタと直列に接続された第2のトランジスタには接続されず、他の単位回路に含まれる前記第6のトランジスタに接続されていることを特徴とする電気光学装置。

【請求項28】 請求項27に記載の電気光学装置において、

前記複数のデータ電流供給回路の各々の前記第4のトランジスタの利得係数は、前記第1のトランジスタの利得係数と同じであることを特徴とする電気光学装置。

【請求項29】 請求項27または28に記載の電気光学装置において、

複数の前記データ電流供給回路は、カスケード接続されていることを特徴とする電気光学装置。

【請求項30】 請求項27乃至29のいずれか1つに記載の電気光学装置において、

前記データ電流供給回路は、

第5の制御用端子を備え、前記第1のトランジスタと直列に接続された第5のトランジスタと、

第6の制御用端子を備え、前記第5の制御用端子が前記第6の制御用端子に接続された、ダイオード接続された第6のトランジスタと
を備えたことを特徴とする電気光学装置。

【請求項31】 請求項30に記載の電気光学装置において、

前記第6のトランジスタの利得係数は、前記第1のトランジスタの利得係数と同じであることを特徴とする電気光学装置。

【請求項32】 請求項19乃至31のいずれか1つに記載の電気光学装置において、

前記電気光学素子は、EL素子であることを特徴とする電気光学装置。

【請求項33】 請求項32に記載の電気光学装置において、

前記EL素子は、発光層が有機材料で構成されていることを特徴とする電気光学装置。

【請求項34】 請求項8乃至18のいずれか1つに記載の電子装置を実装したことを特徴とする電子機器。

【請求項35】 請求項19乃至33のいずれか1つに記載の電気光学装置を実装したことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電子回路、電子装置、電気光学装置及び電子機器に関するものである。

【0002】

【従来の技術】

有機EL素子を用いた表示装置の一つに、画素回路毎に有機EL素子を制御する駆動トランジスタを備えたアクティブマトリクス型表示装置がある。

【0003】

この種の表示装置は、デジタルデータである画像データに応じたデータ電流を

データ線を介して前記画素回路に出力するデータ線駆動回路を備えている。このデータ線駆動回路は、その内部に複数のデジタル・アナログ変換回路を備えた单一ラインドライバを有しており、そのデジタル・アナログ変換回路にて前記画像データをアナログ信号に変換した後にデータ線を介して各画素回路に出力する（例えば、特許文献1）。

【0004】

【特許文献1】

特開2000-122608号公報

【0005】

【発明が解決しようとする課題】

ところで、一般に画素回路の数は非常に多く、そのため、複数の单一ラインドライバを互いに電気的に接続して一つのデータ線駆動回路を形成する場合がある。しかしながら、各单一ラインドライバは、そのデジタル・アナログ変換回路を構成するトランジスタの特性ばらつきによって、同じ画像データに対して異なった大きさのデータ電流がそれぞれ出力されてしまう。その結果、有機EL素子は、同じ画像データに対して、接続された单一ラインドライバによって異なった輝度で発光することとなる。このことによって、表示品位が優れた電気光学装置を提供することができない。

【0006】

本発明は上記問題点を解消するためになされたものであって、その目的は、トランジスタの特性ばらつきを抑制することができる電子装置、電気光学装置及び電子機器を提供することにある。

【0007】

【課題を解決するための手段】

本発明における電子回路は、第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、第2の制御用端子を備え、前記第1の制御用端子に前記第2の制御用端子が接続された複数の第2のトランジスタと、各々が信号線に接続された第3の制御用端子を備え、前記複数の第2のトランジスタの各々に直列に接続された複数の第3のトランジスタと、第4の制御用端子を備え、前記第

1の制御用端子に前記第4の制御用端子が接続された第4のトランジスタと、を含み、前記複数の第3のトランジスタのうち、前記信号線を介して供給されるオン信号によりオン状態とされた第3のトランジスタと、前記複数の第2のトランジスタのうち、前記オン状態とされた第3のトランジスタと直列に接続された第2のトランジスタと、からなる電流経路は一つの出力端子に接続され、前記第4のトランジスタは前記一つの出力端子には接続されない。

【0008】

これによれば、信号線を介して第3トランジスタに供給するデジタルデータに応じた大きさのアナログ電流を出力するデジタル・アナログ変換回路を構成するとともに、前記アナログ電流とは関係がない第1のトランジスタを基準値とした電流を出力する電子回路を提供することができる。

【0009】

この電子回路において、前記第4のトランジスタの利得係数は、前記第1のトランジスタの利得係数と同じであってもよい。

これによれば、第4のトランジスタから出力されるアナログ電流の電流レベルは、第1のトランジスタを流れる電流の電流レベルと同じにすることができる。

【0010】

この電子回路において、第5の制御用端子を備え、前記第1のトランジスタと直列に接続された第5のトランジスタと、第6の制御用端子を備え、前記第5の制御用端子が前記第6の制御用端子に接続された、ダイオード接続された第6のトランジスタとを備えていてもよい。

これによれば、第1の制御用端子に生じる電圧の電圧レベルを第6のトランジスタに流れる電流の電流レベルで制御することができる。

【0011】

本発明の電子回路は、第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する複数の第2のトランジスタと、各々が第3の制御用端子を備え、前記第3の制御用端子に入力されるオン・オフ信号に応じて前記複数の第2のトランジスタの各々から出力される電流を制御する第3のトランジスタと、第4の制御用端

子を備え、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する第4のトランジスタと、を含み、前記第4のトランジスタから出力される電流は、前記複数の第2のトランジスタの各々から出力される電流経路には流れないようとした。

【0012】

これによれば、信号線を介して第3トランジスタに供給するデジタルデータに応じた大きさのアナログ電流を出力するデジタル・アナログ変換回路を構成するとともに、前記アナログ電流とは関係がない第1のトランジスタを基準値とした電流を出力する電子回路を提供することができる。

【0013】

本発明の電子回路は、第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する複数の第2のトランジスタと、各々が第3の制御用端子を備え、前記第3の制御用端子に入力されるオン・オフ信号に応じて前記複数の第2のトランジスタの各々から出力される電流を制御する第3のトランジスタと、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する第4のトランジスタと、を含み、前記複数の第3のトランジスタのうち、前記オン・オフ信号によりオン状態とされた第3のトランジスタと、前記複数の第2のトランジスタのうち、前記オン状態とされた第3のトランジスタと直列に接続された第2のトランジスタと、からなる電流経路には、前記第4のトランジスタは設けられていない。

【0014】

これによれば、信号線を介して第3トランジスタに供給するデジタルデータに応じた大きさのアナログ電流を出力するデジタル・アナログ変換回路を構成するとともに、前記アナログ電流とは関係がない第1のトランジスタを基準値とした電流を出力する電子回路を提供することができる。

【0015】

この電子回路において、前記第4のトランジスタの利得係数は、前記第1のトランジスタの利得係数と同じであってもよい。

これによれば、第4のトランジスタから出力されるアナログ電流の電流レベル

は、第1のトランジスタを流れる電流の電流レベルと同じにすることができる。

【0016】

この電子回路において、第5の制御用端子を備え、前記第1のトランジスタと直列に接続された第5のトランジスタと、第6の制御用端子を備え、前記第5の制御用端子が前記第6の制御用端子に接続された、ダイオード接続された第6のトランジスタとを備えていてもよい。

これによれば、第1の制御用端子に生じる電圧の電圧レベルを第6のトランジスタに流れる電流レベルで制御することができる。

【0017】

本発明の電子装置は、複数の単位回路を備えた電子装置において、前記複数の単位回路の各々は、第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、第2の制御用端子を備え、前記第1の制御用端子に前記第2の制御用端子が接続された複数の第2のトランジスタと、各々が信号線に接続された第3の制御用端子を備え、前記複数の第2のトランジスタの各々に直列に接続された複数の第3のトランジスタと、第4の制御用端子を備え、前記第1の制御用端子に前記第4の制御用端子が接続されるとともに、前記信号線を介して供給されるオン信号によりオン状態とされた前記第3のトランジスタと直列に接続された第2のトランジスタからなる電流経路には設けられていない第4のトランジスタと、を含み、前記第4のトランジスタは、接続線を介して他の単位回路に接続され、前記第4のトランジスタから出力される電流レベルに応じて、他の単位回路に含まれる第1の制御用端子の電圧レベルを制御する。

【0018】

これによれば、1つの単位回路にて生成される電流を基準電流とし、その基準電流を他の各単位回路の第1のトランジスに供給する。そして、その基準電流に応じて他の各単位回路の第1のトランジスタの第1の制御用端子の電圧を制御する。第1のトランジスタは、この基準電流を基準値として駆動するので、単位回路間の前記第1のトランジスタの閾値電圧といった特性ばらつきによるを抑制することができる。その結果、各単位回路は、その各第3のトランジスタに入力されるオン・オフ信号に応じた電流を精度良く出力することができる。

【0019】

この電子装置において、前記複数の単位回路の各々の前記第4のトランジスタの利得係数は、前記第1のトランジスタの利得係数と同じであってもよい。

これによれば、1つの単位回路の第1のトランジスタに流れる電流の電流レベルを他の単位回路の全ての第1のトランジスタに流れる電流の電流レベルと同じにすることができる。

【0020】

この電子装置において、前記複数の単位回路の各々は、第5の制御用端子を備え、前記第1のトランジスタと直列に接続された第5のトランジスタと、第6の制御用端子を備え、前記第5の制御用端子が前記第6の制御用端子に接続された、ダイオード接続された第6のトランジスタとを備えていてもよい。

これによれば、第1の制御用端子に生じる電圧の電圧レベルを第6のトランジスタに流れる電流の電流レベルで制御することができる。

【0021】

本発明の電子装置は、複数の単位回路を備えた電子装置において、前記複数の単位回路の各々は、第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する複数の第2のトランジスタと、各々が第3の制御用端子を備え、前記第3の制御用端子に入力されるオン・オフ信号に応じて前記複数の第2のトランジスタの各々から出力される電流を制御する第3のトランジスタと、第4の制御用端子を備え、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する第4のトランジスタと、を含み、前記第4のトランジスタから出力される電流は、前記オン・オフ信号によりオン状態とされた前記第3のトランジスタと直列に接続された第2のトランジスタからなる電流経路には供給されず、他の単位回路に供給される。

【0022】

これによれば、各単位回路は、各第3のトランジスタに入力されるオン・オフ信号に応じた電流レベルを有するアナログ電流を出力するととも、第4のトランジスタからは前記アナログ電流と関係なく独立した電流を他の単位回路に供給す

る。そして、他の各単位回路は、前記第4のトランジスタから出力された電流を基準電流として各単位回路に含まれる第1のトランジスタの第1の制御用端子の電圧を設定する。このことによって、前記単位回路の各々は、その第1のトランジスタの特性にバラツキを抑制することができる。従って、各単位回路から出力されるアナログ電流を精度良く制御することができる。

【0023】

本発明の電子装置は、複数の単位回路を備えた電子装置において、前記複数の単位回路の各々は、第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する複数の第2のトランジスタと、各々が第3の制御用端子を備え、前記第3の制御用端子に入力されるオン・オフ信号に応じて前記複数の第2のトランジスタの各々から出力される電流を制御する第3のトランジスタと、第4の制御用端子を備え、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する第4のトランジスタと、を含み、前記第4のトランジスタから出力される電流は、他の単位回路の第1の制御用端子の電圧レベルを設定する基準電流となる。

【0024】

これによれば、各単位回路は、各第3のトランジスタに入力されるオン・オフ信号に応じた電流レベルを有するアナログ電流を出力するととも、第4のトランジスタからは前記アナログ電流と関係なく独立した電流を他の単位回路に供給する。そして、他の各単位回路は、前記第4のトランジスタから出力された電流を基準電流として各単位回路に含まれる第1のトランジスタの第1の制御用端子の電圧を設定する。このことによって、前記単位回路の各々は、その第1のトランジスタの特性にバラツキを抑制することができる。従って、各単位回路から出力されるアナログ電流を精度良く制御することができる。

【0025】

この電子装置において、前記複数の単位回路の各々の前記第4のトランジスタの利得係数は、前記第1のトランジスタの利得係数と同じであってもよい。

これによれば、1つの単位回路の第1のトランジスタに流れる電流の電流レベルを他の単位回路の全ての基準電流とする。

【0026】

この電子装置において、複数の前記単位回路は、カスケード接続されていてもよい。

これによれば、カスケード接続された単位回路にて生成されるアナログ電流を前記第3の制御用端子に入力されるオン・オフ信号に応じて精度良く制御することができる。

【0027】

この電子装置において、前記複数の単位回路の各々は、第5の制御用端子を備え、前記第1のトランジスタと直列に接続された第5のトランジスタと、第6の制御用端子を備え、前記第5の制御用端子が前記第6の制御用端子に接続された、ダイオード接続された第6のトランジスタとが設けられていよい。

【0028】

これによれば、第1の制御用端子に生じる電圧の電圧レベルを第6のトランジスタに流れる電流の電流レベルで制御することができる。

本発明の電子装置は、複数の単位回路を備えた電子装置において、前記複数の単位回路の各々は、第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する複数の第2のトランジスタと、各々が第3の制御用端子を備え、前記第3の制御用端子に入力されるオン・オフ信号に応じて前記複数の第2のトランジスタの各々から出力される電流を制御する第3のトランジスタと、第4の制御用端子を備え、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する第4のトランジスタと、第5の制御用端子を備え、前記第1のトランジスタと直列に接続された第5のトランジスタと、第6の制御用端子を備え、前記第5の制御用端子が前記第6の制御用端子に接続された、ダイオード接続された第6のトランジスタと、を含み、前記第4のトランジスタは、同第4のトランジスタが含まれる単位回路の、前記オン・オフ信号によりオン状態とされた前記第3のトランジスタと直列に接続された第2のトランジスタとは接続されず、他の単位回路に含まれる前記第6のトランジスタに接続されている。

【0029】

これによれば、各単位回路は、各第3のトランジスタに入力されるオン・オフ信号に応じた電流レベルを有するアナログ電流を出力するととも、第4のトランジスタからは前記アナログ電流と関係なく独立した電流を他の単位回路に供給する。そして、他の各単位回路は、前記第4のトランジスタから出力された電流を基準電流として各単位回路に含まれる第6のトランジスタに供給される。そして、第6のトランジスタを流れる基準電流によって第1のトランジスタの第1の制御用端子の電圧を設定する。このことによって、前記単位回路の各々は、その第1のトランジスタの特性にバラツキを抑制することができる。従って、各単位回路から出力されるアナログ電流を精度良く制御することができる。

【0030】

この電子装置において、前記複数の単位回路の各々の前記第4のトランジスタの利得係数は、前記第1のトランジスタの利得係数と同じであってもよい。

これによれば、1つの単位回路の第1のトランジスタに流れる電流の電流レベルを他の単位回路の全ての第1のトランジスタに流れる電流の電流レベルと同じにすることができる。

【0031】

この電子装置において、複数の前記単位回路は、カスケード接続されていてよい。

これによれば、カスケード接続された単位回路にて生成されるアナログ電流を前記第3の制御用端子に入力されるオン・オフ信号に応じて精度良く制御することができる。

【0032】

本発明の電気光学装置は、複数の走査線と、複数のデータ線と、これら各前記走査線と各前記データ線との交差部に対応してそれぞれ配設された電気光学素子とを備えるとともに、各前記データ線にデータ電流を供給するデータ電流供給回路を備え、各前記電気光学素子に前記データ電流に応じた駆動電流量を供給する電気光学装置において、前記データ電流供給回路は、第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、第2の制御用端子を備え、前記第1の制御用端子に前記第2の制御用端子が接続された複数の第2のトランジス

タと、各々が画像データを供給する信号線に接続された第3の制御用端子を備え、前記複数の第2のトランジスタの各々と直列に接続された複数の第3のトランジスタと、第4の制御用端子を備え、前記第1の制御用端子に前記第4の制御用端子が接続された第4のトランジスタとを含み、前記第4のトランジスタは、接続線を介して他のデータ電流供給回路に接続され、前記第4のトランジスタから出力される電流レベルに応じて、他のデータ電流供給回路に含まれる第1の制御用端子の電圧レベルを制御する。

【0033】

これによれば、画像データに応じた大きさのアナログ電流を出力するデジタル・アナログ変換回路を構成するとともに、前記アナログ電流とは関係がない第1のトランジスタを基準値とした電流を出力することができる。このことによって、各単位回路の第1のトランジスタの特性バラツキを抑制することができるので、前記画像データに応じた大きさのアナログ電流を精度良く出力することができる。その結果、優れた表示品位を備えた電気光学装置を提供することができる。

【0034】

この電気光学装置において、前記第4のトランジスタの利得係数は、前記第1のトランジスタの利得係数と同じであってもよい。

これによれば、1つの単位回路の第1のトランジスタに流れる電流の電流レベルを他の単位回路の全ての第1のトランジスタに流れる電流の電流レベルと同じにすることができる。

【0035】

この電気光学装置において、前記データ電流供給回路は、第5の制御用端子を備え、前記第1のトランジスタと直列に接続された第5のトランジスタと、第6の制御用端子を備え、前記第5の制御用端子が前記第6の制御用端子に接続された、ダイオード接続された第6のトランジスタとを備えていてもよい。

【0036】

これによれば、第1の制御用端子に生じる電圧の電圧レベルを第6のトランジスタに流れる電流の電流レベルで制御することができる。

本発明の電気光学装置は、複数の走査線と、複数のデータ線と、これら各前記

走査線と各前記データ線との交差部に対応してそれぞれ配設された電気光学素子とを備えるとともに、各前記データ線にデータ電流を供給するデータ電流供給回路を備え、各前記電気光学素子に前記データ電流に応じた駆動電流量を供給する電気光学装置において、前記各データ電流供給回路は、第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する複数の第2のトランジスタと、各々が第3の制御用端子を備え、前記第3の制御用端子に入力される画像データに応じて前記複数の第2のトランジスタの各々から出力される電流を制御する第3のトランジスタと、第4の制御用端子を備え、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する第4のトランジスタと、を含み、前記第4のトランジスタから出力される電流は、前記画像データによりオン状態とされた前記第3のトランジスタと直列に接続された第2のトランジスタからなる電流経路には供給されず、他の単位回路に供給される。

【0037】

これによれば、各単位回路は、各第3のトランジスタに入力されるオン・オフ信号に応じた電流レベルを有するアナログ電流を出力するととも、第4のトランジスタからは前記アナログ電流と関係なく独立した電流を他の単位回路に供給する。そして、他の各単位回路は、前記第4のトランジスタから出力された電流を基準電流として各単位回路に含まれる第1のトランジスタの第1の制御用端子の電圧を設定する。このことによって、前記単位回路の各々は、その第1のトランジスタの特性にバラツキを抑制することができる。従って、各単位回路から出力されるアナログ電流を精度良く制御することができる。この結果、優れた表示品位を備えた電気光学装置を提供することができる。

【0038】

本発明の電気光学装置は、複数の走査線と、複数のデータ線と、これら各前記走査線と各前記データ線との交差部に対応してそれぞれ配設された電気光学素子とを備えるとともに、各前記データ線にデータ電流を供給するデータ電流供給回路を備え、各前記電気光学素子に前記データ電流に応じた駆動電流量を供給する電気光学装置において、前記各データ電流供給回路は、第1の制御用端子を備え

た、ダイオード接続された第1のトランジスタと、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する複数の第2のトランジスタと、各々が第3の制御用端子を備え、前記第3の制御用端子に入力される画像データに応じて前記複数の第2のトランジスタの各々から出力される電流を制御する第3のトランジスタと、第4の制御用端子を備え、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する第4のトランジスタと、を含み、前記第4のトランジスタから出力される電流は、他の単位回路の第1の制御用端子の電圧レベルを設定する基準電流となる。

【0039】

これによれば、各単位回路は、各第3のトランジスタに入力されるオン・オフ信号に応じた電流レベルを有するアナログ電流を出力するととも、第4のトランジスタからは前記アナログ電流と関係なく独立した電流を他の単位回路に供給する。そして、他の各単位回路は、前記第4のトランジスタから出力された電流を基準電流として各単位回路に含まれる第1のトランジスタの第1の制御用端子の電圧を設定する。このことによって、前記単位回路の各々は、その第1のトランジスタの特性にバラツキを抑制することができる。従って、各単位回路から出力されるアナログ電流を精度良く制御することができる。この結果、優れた表示品位を備えた電気光学装置を提供することができる。

【0040】

この電気光学装置において、前記複数のデータ電流供給回路の各々の前記第4のトランジスタの利得係数は、前記第1のトランジスタの利得係数と同じであってもよい。

これによれば、1つの単位回路の第1のトランジスタに流れる電流の電流レベルを他の単位回路の全ての第1のトランジスタに流れる電流の電流レベルと同じにすることができる。

【0041】

この電気光学装置において、複数の前記データ電流供給回路は、カスケード接続されていてもよい。

これによれば、カスケード接続されたデータ電流供給回路にて生成されるアナ

ログ電流を前記第3の制御用端子に入力されるオン・オフ信号に応じて精度良く制御することができる。

【0042】

この電気光学装置において、前記各データ電流供給回路は、第5の制御用端子を備え、前記第1のトランジスタと直列に接続された第5のトランジスタと、第6の制御用端子を備え、前記第5の制御用端子が前記第6の制御用端子に接続された、ダイオード接続された第6のトランジスタとが設けられていてもよい。

これによれば、第1の制御用端子に生じる電圧の電圧レベルを第6のトランジスタに流れる電流の電流レベルで制御することができる。

【0043】

本発明の電気光学装置は、複数の走査線と、複数のデータ線と、これら各前記走査線と各前記データ線との交差部に対応してそれぞれ配設された電気光学素子とを備えるとともに、各前記データ線にデータ電流を供給するデータ電流供給回路を備え、各前記電気光学素子に前記データ電流に応じた駆動電流量を供給する電気光学装置において、前記データ電流供給回路は、第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する複数の第2のトランジスタと、各々が第3の制御用端子を備え、前記第3の制御用端子に入力されるオン・オフ信号に応じて前記複数の第2のトランジスタの各々から出力される電流を制御する第3のトランジスタと、第4の制御用端子を備え、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する第4のトランジスタと、第5の制御用端子を備え、前記第1のトランジスタと直列に接続された第5のトランジスタと、第6の制御用端子を備え、前記第5の制御用端子が前記第6の制御用端子に接続された、ダイオード接続された第6のトランジスタと、を含み、前記第4のトランジスタは、同第4のトランジスタが含まれる単位回路の前記オン・オフ信号によりオン状態とされた前記第3のトランジスタと直列に接続された第2のトランジスタには接続されず、他の単位回路に含まれる前記第6のトランジスタに接続されている。

【0044】

これによれば、各単位回路は、各第3のトランジスタに入力されるオン・オフ

信号に応じた電流レベルを有するアナログ電流を出力するととも、第4のトランジスタからは前記アナログ電流と関係なく独立した電流を他の単位回路に供給する。そして、他の各単位回路は、前記第4のトランジスタから出力された電流を基準電流として各単位回路に含まれる第6のトランジスタに供給される。そして、第6のトランジスタを流れる基準電流によって第1のトランジスタの第1の制御用端子の電圧を設定する。このことによって、前記単位回路の各々は、その第1のトランジスタの特性にバラツキを抑制することができる。従って、各単位回路から出力されるアナログ電流を精度良く制御することができる。この結果、優れた表示品位を備えた電気光学装置を提供することができる。

【0045】

この電気光学装置において、前記複数のデータ電流供給回路の各々の前記第4のトランジスタの利得係数は、前記第1のトランジスタの利得係数と同じであつてもよい。

【0046】

これによれば、1つの単位回路の第1のトランジスタに流れる電流の電流レベルを他の単位回路の全ての第1のトランジスタに流れる電流の電流レベルと同じにすることができる。

【0047】

この電気光学装置において、複数の前記データ電流供給回路は、カスケード接続されてもよい。

これによれば、カスケード接続された単位回路にて生成されるアナログ電流を前記第3の制御用端子に入力されるオン・オフ信号に応じて精度良く制御することができる。

【0048】

この電気光学装置において、前記データ電流供給回路は、第5の制御用端子を備え、前記第1のトランジスタと直列に接続された第5のトランジスタと、第6の制御用端子を備え、前記第5の制御用端子が前記第6の制御用端子に接続された、ダイオード接続された第6のトランジスタとを備えていてもよい。

【0049】

これによれば、第1の制御用端子に生じる電圧の電圧レベルを第6のトランジスタに流れる電流の電流レベルで制御することができる。

【0050】

この電気光学装置において、前記第6のトランジスタの利得係数は、前記第1のトランジスタの利得係数と同じであってもよい。

これによれば、第1の制御用端子に生じる電圧の電圧レベルを第6のトランジスタに流れる電流の電流レベルで制御することができる。

【0051】

この電気光学装置において、前記電気光学素子は、EL素子であってもよい。

これによれば、EL素子を備えた電気光学装置の表示品位を向上させることができる。

【0052】

この電気光学装置において、前記EL素子は、発光層が有機材料で構成されていてもよい。

これによれば、有機EL素子を備えた電気光学装置の表示品位を向上させることができる。

【0053】

本発明における電子機器は、上記電子装置を実装している。

これによれば、デジタルデータに応じて精度良く制御する電子機器を提供することができる。

【0054】

本発明における電子機器は、上記電気光学装置を実装している。

これによれば、表示品位の優れた電気光学装置を提供することができる。

【0055】

【発明の実施の形態】

(第1実施形態)

以下、本発明を具体化した第1実施形態を図1～図5に従って説明する。図1は、有機ELディスプレイの電気的構成を示すブロック回路図である。図2は、表示パネル部の回路構成を示すブロック回路図である。図3は、画素回路の回路

図である。

【0056】

有機ELディスプレイ10は、信号生成回路11、表示パネル部12、走査線駆動回路13及びデータ線駆動回路14を備えている。尚、本実施形態における有機ELディスプレイ10は、アクティブマトリクス駆動方式の有機ELディスプレイである。

【0057】

有機ELディスプレイ10の信号生成回路11、走査線駆動回路13及びデータ線駆動回路14は、それぞれが独立した電子部品によって構成されていてもよい。例えば、信号生成回路11、走査線駆動回路13及びデータ線駆動回路14が、各々1チップの半導体集積回路装置によって構成されていてもよい。又、信号生成回路11、走査線駆動回路13及びデータ線駆動回路14の全部若しくは一部がプログラマブルなICチップで構成され、その機能がICチップに書き込まれたプログラムによりソフトウェア的に実現されてもよい。

【0058】

信号生成回路11は、図示しない外部装置からの画像制御信号に基づいて表示パネル部12に画像を表示するための走査制御信号及びデータ制御信号を作成する。そして、信号生成回路11は、走査制御信号を走査線駆動回路13に出力するとともに、データ制御信号をデータ線駆動回路14に出力する。データ制御信号は、本実施形態においては、6ビットの画像データまたは信号としての画像デジタルデータである。

【0059】

表示パネル部12は、図2に示すように、その行方向に沿って延びるn本の走査線Y1, Y2, …, Ynを備えている。また、表示パネル部12は、その列方向に沿って延びるm本のデータ線X1, X2, …, Xmを備えている。そして、表示パネル部12は、前記各走査線Y1, Y2, …, Ynと前記各データ線X1, X2, …, Xmとの交差部に対応した位置に画素回路15が配設されている。前記各画素回路15は、前記走査線Y1, Y2, …, Ynを介して走査線駆動回路13に接続されている。又、各画素回路15は、前記デ

ータ線X₁, X₂, …, X_mを介してデータ線駆動回路14に接続されている。ここで、前記m本のデータ線X₁, X₂, …, X_mは、i個の組に区分され、その区分された各組に予め定めた本数(j本)のデータ線が割り当たられた構成になっている。そして、説明の便宜上、m本のデータ線X₁, X₂, …, X_mを、他の組のデータ線と区別する場合には、データ線X_{i.1}, X_{i.2}, …, X_{i.j}と表記する。尚、データ線X_{1.1}, X_{1.2}, …, X_{1.j}, X_{2.1}, X_{2.2}, …, X_{2.j}, X_{i.1}, X_{i.2}, …, X_{i.j}は、この記載した順番で図2において左から右に形成されているものとする。更に、各画素回路15は、列方向に伸びるm本の電源線L₁, L₂, …, L_mと接続されている。電源線L₁, L₂, …, L_mはそれぞれ前記画素回路15を構成する後記する変換トランジスタTc及び駆動トランジスタTdに駆動電圧Vddを供給する。

【0060】

図3は、m番目のデータ線X_m(i.j)とn番目の走査線Y_nとの交差部にそれぞれ対応して配設された画素回路15の回路図である。

画素回路15は、その発光層が有機材料で構成された有機EL素子16、駆動トランジスタTd、第1及び第2のスイッチングトランジスタTsw1, Tsw2、変換トランジスタTc及び保持キャパシタCoを備えている。駆動トランジスタTd、変換トランジスタTc及び第2のスイッチングトランジスタTsw2は、それぞれ、p型TFTである。また、第1のスイッチングトランジスタTsw1はn型TFTである。

【0061】

駆動トランジスタTdは、そのドレインが有機EL素子16の陽極に接続されている。有機EL素子16の陰極は接地されている。駆動トランジスタTdのゲートは変換トランジスタTcのゲートに接続されている。また、駆動トランジスタTdのソースは、変換トランジスタTcのソースに接続されている。さらに、駆動トランジスタTdのソースは、駆動電圧Vddを供給するm番目の電源線Lmに接続されている。また、駆動トランジスタTdのソース/ゲート間には、保持キャパシタCoが接続されている。つまり、前記変換トランジスタTcと駆動

トランジスタ T d とでカレントミラー回路を構成している。

【0062】

前記変換トランジスタ T c のドレインは、第1のスイッチングトランジスタ T s w 1 を介して m 番目のデータ線 X m (X i . j) に接続されている。また、変換トランジスタ T c のドレインは、第2のスイッチングトランジスタ T s w 2 を介して前記保持キャパシタ C o に接続されている。

【0063】

前記第1のスイッチングトランジスタ T s w 1 のゲートは n 番目の第1の副走査線 Y n 1 に接続されている。また、前記第2のスイッチングトランジスタ T s w 2 のゲートは n 番目の第2の副走査線 Y n 2 に接続されている。前記第1の副走査線 Y n 1 と第2の副走査線 Y n 2 とで n 番目の走査線 Y n を構成している。

【0064】

尚、本実施形態においては、画素回路 1 5 を、有機 E L 素子 1 6 と、駆動トランジスタ T d と、第1及び第2のスイッチングトランジスタ T s w 1 , T s w 2 と、変換トランジスタ T c と、保持キャパシタ C o とで構成したが、これに限定されるものではなく、適宜変更してもよい。

【0065】

走査線駆動回路 1 3 は、信号生成回路 1 1 から出力される前記走査制御信号に基づいて、表示パネル部 1 2 に設けられた前記 n 本の走査線 Y 1 , Y 2 , . . . , Y n のうち、1 本の走査線を選択し、その選択された走査線に走査信号を出力する。そして、その走査信号によって、前記画素回路 1 5 の有機 E L 素子 1 6 が発光するタイミング及び保持キャパシタ C o へ後記するデータ電流 I D に応じた電荷を書き込むタイミングを制御する。

【0066】

データ線駆動回路 1 4 は、信号生成回路 1 1 から出力された前記画像デジタルデータに基づいてデータ電流 I D を生成するとともに、その生成されたデータ電流 I D を対応する前記データ線 X 1 , X 2 , . . . , X m に供給する。そして、データ電流 I D は、その対応する前記データ線 X 1 , X 2 , . . . , X m を介して各画素回路 1 5 に出力される。

【0067】

そして、走査線駆動回路13から出力される前記走査信号によって選択された走査線Y1, Y2, …, Yn上の各画素回路15においては、その第1及び第2のスイッチングトランジスタTsw1, Tsw2がそれぞれオン状態に設定される。このことによって、データ線駆動回路14から出力されたデータ電流IDに対応した電荷が前記第1及び第2のスイッチングトランジスタTsw1, Tsw2を介して保持キャパシタCoに書き込まれる。その後、走査線駆動回路13から出力される前記走査信号によって第2のスイッチングトランジスタTsw2がオフ状態に設定される。

【0068】

すると、前記変換トランジスタTcには保持キャパシタCoに書き込まれた電荷に応じた電流が流れる。そして、前記変換トランジスタTcとカレントミラー回路を構成する前記駆動トランジスタTdに前記電流に応じた大きさの駆動電流Ie1が流れる。このことによって、有機EL素子16が前記駆動電流Ie1に応じた輝度階調で発光する。通常、書き込み速度を速くするために、データ電流ID(変換トランジスタTcに流れる電流)は駆動電流(駆動トランジスタTdに流れる電流)より大きな電流とする。つまり、変換トランジスタTcと駆動トランジスタTdとはその利得係数を変えている。このため、駆動トランジスタTdに流れる電流はその利得係数の比に応じた電流である。

【0069】

次に、このように構成された有機ELディスプレイ10のデータ線駆動回路14について図4及び図5に従って詳述する。

図4は、データ線駆動回路14の内部構成図である。図4に示すように、データ線駆動回路14は、制御回路20と複数(本実施形態では、前記データ線X1, X2, …, Xmを区分した組数であるi個)の单一ラインドライバRD1～RDiとを備えている。制御回路20は、i個の单一ラインドライバRD1～RDiの各々と電気的に接続されている。

【0070】

制御回路20は、信号生成回路11から出力される前記6ビットの画像デジタ

ルデータを各单一ラインドライバRD1～RD_iに供給する。

各单一ラインドライバRD1～RD_iは、それぞれ前記区分した各組毎に対応して設けられている。各单一ラインドライバRD1～RD_iは接続線L_pを介してカスケード接続されている。そして、第1の单一ラインドライバRD1はデータ線X1.1～X1.jが、第2の单一ラインドライバRD2はデータ線X2.1～X2.jが、・・・、第iの单一ラインドライバRD_iはデータ線Xi.1～Xi.jがそれぞれアナログ出力端子Uaを介して接続されている。本実施形態では、データ線X1.1～X1.jと接続する第1の单一ラインドライバRD1をマスタードライバといい、第2～第iの单一ラインドライバRD2～RD_iをスレーブドライバという。

【0071】

各单一ラインドライバRD1～RD_iは、それぞれ前記データ線の組に割り当てられたデータ線の本数に対応した数(j個)のデジタル・アナログ変換回路21aがそれぞれ備えている。そのj個のデジタル・アナログ変換21は、カスケード接続されている。そして、第1の单一ラインドライバRD1のデータ線X1.1に接続されたデジタル・アナログ変換回路21aの入力端子P_iに基準電圧Vrefが供給されるようになっている。

【0072】

次に、前記したデジタル・アナログ変換回路21aを図5に従って説明する。尚、各单一ラインドライバRD1～RD_iに設けられた各デジタル・アナログ変換回路21aの回路構成は実質同じなので、説明の便宜上、m-1番目のデータ線Xm-1(Xi.j-1)と接続されるデジタル・アナログ変換回路21aについて説明する。

【0073】

デジタル・アナログ変換回路21aは、本実施形態においては6ビットの電流出力型デジタル・アナログ型変換回路である。デジタル・アナログ変換回路21aは、第1及び第2の変換用トランジスタQa, Qb、電流用トランジスタQc、第1～6の電流供給用トランジスタQd1～Qd6、第1～6のスイッチング用トランジスタQs1～Qs6及び基準電流生成用トランジスタQrefを含

んでいる。また、デジタル・アナログ変換回路21aは、6本のアナログ信号線22a～22fと6本のデジタル信号線23a～23fとを備えている。

【0074】

第1及び第2の変換用トランジスタQa, Qb、第1～6の電流供給用トランジスタQd1～Qd6、電流用トランジスタQcc及び基準電流生成用トランジスタQrefはそれぞれ所定の電流レベルを出力する定電流源として機能するトランジスタである。また、第1～6のスイッチング用トランジスタQs1～Qs6は、前記画像デジタルデータに応じてオン・オフ制御されるスイッチング素子として機能するトランジスタである。尚、本実施形態においては、前記第1の変換用トランジスタQa、第1～6の電流供給用トランジスタQd1～Qd6、第1～6のスイッチング用トランジスタQs1～Qs6及び基準電流生成用トランジスタQrefの導電型は、それぞれ、n型である。また、前記第2の変換用トランジスタQb及び電流用トランジスタQccの導電型は、それぞれ、p型である。

【0075】

アナログ信号線22a～22fは互いに並列に配列され、その一端がそれぞれ前記アナログ出力端子Uaに接続されている。アナログ出力端子Uaは、データ線Xm-1(Xi, j-1)に接続されている。

【0076】

また、アナログ信号線22a～22fは、それぞれ、対応する第1～6のスイッチング用トランジスタQs1～Qs6のドレインに接続されている。前記第1～6のスイッチング用トランジスタQs1～Qs6は、その各ゲートがそれぞれ対応する第1～6のデジタル信号線23a～23fを介して第1～6のデジタル入力端子Ud1～Ud6に接続されている。第1～6のデジタル入力端子Ud1～Ud6はそれぞれ前記制御回路20に接続されている。そして、前記第1～6のスイッチング用トランジスタQs1～Qs6は、後記するように、前記制御回路20から出力される前記画像デジタルデータに応じてオン・オフ制御される。

【0077】

また、前記第1～6のスイッチング用トランジスタQs1～Qs6の各ソース

は、対応する第1～6の電流供給用トランジスタQd1～Qd6の各ドレインに接続されている。また、前記第1～6の電流供給用トランジスタQd1～Qd6のそれぞれのソースは共通して接地されている。即ち、前記第1～6のスイッチング用トランジスタQs1～Qs6と第1～6の電流供給用トランジスタQd1～Qd6とからなる電流経路は、アナログ出力端子Uaに接続されている。

【0078】

また、前記第1～6の電流供給用トランジスタQd1～Qd6は、その各利得係数 β に応じたレベルの電流が流れる。ここで、第1～6の電流供給用トランジスタQd1～Qd6は、その各利得係数 β の相対比が、それぞれ、1：2：4：8：16：32となるように設定されている。トランジスタの利得係数 β は、 $\beta = (\mu CW/L)$ で定義される。ここで、 μ はキャリアの移動度、Cはゲート容量、Wはチャネル幅、Lはチャネル長である。従って、各第1～6の電流供給用トランジスタQd1～Qd6の電流駆動能力比は、1：2：4：8：16：32となり、第1～6の電流供給用トランジスタQd1～Qd6からそれぞれ出力される電流の大きさIa～Ifは、以下の関係になる。

【0079】

$$I_a = I_b / 2 = I_c / 4 = I_d / 8 = I_e / 16 = I_f / 32$$

そして、前記第1～6のスイッチング用トランジスタQs1～Qs6は、前記制御回路20から出力される6ビットの前記画像デジタルデータの各ビットに対応している。例えば、画像デジタルデータの最下位ビットは、利得係数が最も小さな（即ち β の相対値が1の）第1のスイッチング用トランジスタQs1に供給され、最上位ビットは、利得係数が最も大きな（即ち β の相対値が32の）第6のスイッチング用トランジスタQs6に出力されるようになっている。

【0080】

また、前記第1～6の電流供給用トランジスタQd1～Qd6の各ゲートは互いに接続されるとともに、ダイオード接続された第1の変換用トランジスタQaのゲートに接続されている。

【0081】

従って、前記第1の変換用トランジスタQaは、第1～6の電流供給用トラン

ジスタQd1～Qd6のそれぞれとカレントミラー回路を構成している。つまり、各第1～6の電流供給用トランジスタQd1～Qd6は、前記第1の変換用トランジスタQaのゲートの電圧レベルを基準値とした電流Ia～Ifをそれぞれ出力する。尚、本実施形態においては、前記第1の変換用トランジスタQaの利得係数は、前記第1の電流供給用トランジスタQd1の利得係数と同じである。従って、前記第1の変換用トランジスタQaに流れる電流Itと同じ電流レベルを有する電流が第1の電流供給用トランジスタQd1に電流Iaとして流れる。

【0082】

前記第1の変換用トランジスタQaのソースは接地されている。また、前記第1の変換用トランジスタQaのドレインは、電流用トランジスタQccのドレンに接続されている。電流用トランジスタQccのソースには電源電圧Voが供給されるようになっている。即ち、前記第1の変換用トランジスタQaは、電流用トランジスタQccと直列に接続されている。

【0083】

また、電流用トランジスタQccのゲートは、ダイオード接続された第2の変換用トランジスタQbのゲートに接続されている。第2の変換用トランジスタQbのソースには前記電源電圧Voが供給されるようになっている。また、第2の変換用トランジスタQbのドレインは入力端子Piが接続されている。

【0084】

従って、前記電流用トランジスタQccと前記第2の変換用トランジスタQbとはカレントミラー回路を構成している。つまり、電流用トランジスタQccは、第2の変換用トランジスタQbのゲートの電圧レベルを基準値とした電流を出力する。

【0085】

そして、前記入力端子Piに基準電圧Vrefが供給されるとともに、前記第1～6のデジタル入力端子Ud1～Ud6に前記画像デジタルデータが入力される。すると、その入力された画像デジタルデータに応じて第1～6のスイッチング用トランジスタQs1～Qs6がオン・オフ制御される。つまり、前記第1～6のスイッチング用トランジスタQs1～Qs6は、第1～6の電流供給用トランジ

ンジスタQd1～Qd6からそれぞれ出力される電流Ia～Ifを制御する。

【0086】

そして、前記画像デジタルデータに応じて第1～6の電流供給用トランジスタQd1～Qd6からそれぞれ出力される電流Ia～Ifが重畠されることで、同画像デジタルデータに応じた大きさを有するデータ電流IDがアナログ出力端子Uaから出力される。つまり、デジタル・アナログ変換回路21aは、6ビットの画像デジタルデータに応じて有機EL素子16を64階調で制御することができる。

【0087】

このように構成されたデジタル・アナログ変換回路21aには、前記第1の変換用トランジスタQaとカレントミラーレイアウト回路を構成する基準電流生成用トランジスタQrefが形成されている。詳しくは、基準電流生成用トランジスタQrefは、そのソースが前記第1～6の電流供給用トランジスタQd1～Qd6の各ソースに接続されている。また、基準電流生成用トランジスタQrefのドレインは出力端子Poに接続されている。そして、基準電流生成用トランジスタQrefのドレインは前記出力端子Poを介して隣接する他のデジタル・アナログ変換回路21aの入力端子Piに接続されている。即ち、基準電流生成用トランジスタQrefは、前記電流Ia～Ifが流れる前記第1～6のスイッチング用トランジスタQs1～Qs6と第1～6の電流供給用トランジスタQd1～Qd6とからなる電流経路には設けられていない。従って、前記基準電流生成用トランジスタQrefから出力される基準電流Irrefは、前記画像データによりオン状態とされた前記第1～6のスイッチング用トランジスタQs1～Qs6と直列に接続された前記第1～6の電流供給用トランジスタQd1～Qd6からなる電流経路には供給されず、他のデジタル・アナログ変換回路21aに供給される。

【0088】

また、前記基準電流生成用トランジスタQrefは、その利得係数 β_{ref} が前記第1の変換用トランジスタQaの利得係数と等しくなるように設定されている。従って、基準電流生成用トランジスタQrefに流れる基準電流Irrefの電流レベルは、第1の変換用トランジスタQa及び第1の電流供給用トランジ

タ Q_{d1} に流れる電流の電流レベルと同じである。

【0089】

このように、前記基準電流生成用トランジスタ Q_{ref} は、前記第1の電流供給用トランジスタ Q_{d1} に流れる電流と同じ電流レベルを有する基準電流 I_{ref} を前記出力端子 P_o から出力することができる。そして、この出力端子 P_o から出力される基準電流 I_{ref} は、前記アナログ出力端子 U_a から出力されるデータ電流 I_D とは関係なく独立した電流である。そして、前記基準電流 I_{ref} は、前記接続線 L_p を介してデータ線 X_m に接続されたデジタル・アナログ変換回路 $21a$ の第2の変換用トランジスタ Q_b に出力される。

【0090】

前記データ線 X_m に接続されたデジタル・アナログ変換回路 $21a$ の第2の変換用トランジスタ Q_b は、前記データ線 X_{m-1} に接続されたデジタル・アナログ変換回路 $21a$ の出力端子 P_o から出力される基準電流 I_{ref} が供給される。すると、そのデジタル・アナログ変換回路 $21a$ の電流用トランジスタ Q_{cc} のゲートの電圧が前記第2の変換用トランジスタ Q_b に流れる電流 I_t のレベルに応じて設定される。そして、この第1の変換用トランジスタ Q_a に流れる電流 I_t に応じた電圧が各第1～6の電流供給用トランジスタ $Q_{d1} \sim Q_{d6}$ のゲートとともに基準電流生成用トランジスタ Q_{ref} に供給される。

【0091】

従って、データ線 X_m に接続されたデジタル・アナログ変換回路 $21a$ に含まれる各第1～6の電流供給用トランジスタ $Q_{d1} \sim Q_{d6}$ は、前記データ線 X_{m-1} に接続されたデジタル・アナログ変換回路 $21a$ の基準電流生成用トランジスタ Q_{ref} を流れる前記基準電流 I_{ref} を基準値とした電流 $I_a \sim I_f$ を出力する。つまり、データ線 X_m に接続されたデジタル・アナログ変換回路 $21a$ は、前記データ線 X_{m-1} に接続されたデジタル・アナログ変換回路 $21a$ の基準電流生成用トランジスタ Q_{ref} を流れる前記基準電流 I_{ref} を基準値としたデータ電流 I_D を前記画像デジタルデータに基づいて生成することができる。

【0092】

このように、1つのデジタル・アナログ変換回路 $21a$ が生成した基準電流 I

r_{ef} は、次段のデジタル・アナログ変換回路 21a の基準電流 I_{ref} として使用される。つまり、第 1 の單一ラインドライバ RD1 にある先頭のデジタル・アナログ変換回路 21a が生成した基準電流 I_{ref} が順次間にある各デジタル・アナログ変換回路 21a に利用され且つ値を維持しつつ、第 i の單一ラインドライバ RDi にある最終段のデジタル・アナログ変換回路 21a にまで供給される。従って、異なった單一ラインドライバ RD1 ~ RDi 間において、各デジタル・アナログ変換回路 21a の第 1 ~ 6 の電流供給用トランジスタ Qd1 ~ Qd6 の閾値電圧等の特性ばらつきによって、同一画像デジタルデータに対して異なる大きさのデータ電流 ID が出力されない。

【0093】

つまり、異なった單一ラインドライバ RD1 ~ RDi のデジタル・アナログ変換回路 21a 間においては、その第 1 ~ 6 の電流供給用トランジスタ Qd1 ~ Qd6 に特性ばらつきが生じてしまう。そのため、基準電圧 V_{ref} を基準値として、異なった單一ラインドライバ RD1 ~ RDi のデジタル・アナログ変換回路 21a 間の第 1 ~ 6 の電流供給用トランジスタ Qd1 ~ Qd6 の各ゲートに前記基準電圧 V_{ref} を供給すると、各單一ラインドライバ RD1 ~ RDi 間で同じ画像デジタルデータに対して異なる大きさのデータ電流 ID が出力されることとなる。これに対して、本発明の有機 EL ディスプレイ 10 は、各單一ラインドライバ RD1 ~ RDi は基準電流 I_{ref} を基準値とするため、各第 1 ~ 6 の電流供給用トランジスタ Qd1 ~ Qd6 はその閾値電圧の影響を受けることはない。その結果、異なった單一ラインドライバ RD1 ~ RDi 間において、同一画像デジタルデータに対して異なる大きさのデータ電流 ID が出力されることはない。従って、画像デジタルデータに応じてデータ電流 ID を精度良く制御することができる。この結果、有機 EL ディスプレイ 10 の表示品位を向上させることができる。

【0094】

また、前記デジタル・アナログ変換回路 21a は前記したように構成することによって、全てのデータ線 X1 ~ Xm に対して同じ回路構成で使用することができる。即ち、マスター ドライバの第 1 のデータ線 X1 と接続されたデジタル・ア

ナログ変換回路21aにおいては、その入力端子には基準電圧Vrefを供給するようとする。一方、他のデジタル・アナログ変換回路21aの入力端子には基準電流Idrefを供給するようとする。この結果、单一ラインドライバRD1～RDiを全て同じ回路構成で製造することができるので、その製造コストを削減することができる。

【0095】

尚、有機ELディスプレイ10、デジタル・アナログ変換回路21a、及び、データ線駆動回路14は、特許請求の範囲に記載の電気光学装置、電子回路、及び、データ電流供給回路または電子装置に対応している。また、前記第1の変換用トランジスタQa及び第2の変換用トランジスタQbは、それぞれ、特許請求の範囲に記載の第1のトランジスタ及び第6のトランジスタに対応している。更に、第1～6の電流供給用トランジスタQd1～Qd6及び第1～6のスイッチング用トランジスタQs1～Qs6は、それぞれ、特許請求の範囲に記載の複数の第2のトランジスタ及び第3のトランジスタに対応している。基準電流生成用トランジスタQref及びデータ電流IDは、特許請求の範囲に記載の第4のトランジスタ及び駆動電流量にそれぞれ対応している。

【0096】

また、前記第1～6のデジタル信号線23a～23f及びアナログ出力端子Uaは、特許請求の範囲に記載の信号線及び出力端子にそれぞれ対応している。さらに、前記第2の変換用トランジスタQbのゲート、第2～6の電流供給用トランジスタのゲート及び第1～6のスイッチング用トランジスタQs1～Qs6のゲートは、それぞれ、特許請求の範囲に記載の第1の制御用端子、第2の制御用端子及び第3の制御用端子に対応している。また、前記基準電流生成用トランジスタのゲート、第1の電流供給用トランジスタのゲート、第1の変換用トランジスタQaのゲートは、それぞれ、特許請求の範囲に記載の第4の制御用端子、第5の制御用端子及び第6の制御用端子に対応している。

【0097】

前記実施形態の有機ELディスプレイによれば、以下のような特徴を得ることができる。

(1) 前記実施形態では、単一ラインドライバRD1～RD_iのデジタル・アナログ変換回路21aに第1～6の電流供給用トランジスタQd1～Qd6の各々とカレントミラー回路を構成する第1の変換用トランジスタQaと、カレントミラー回路を構成する基準電流生成用トランジスタQrefを形成した。そして、その基準電流生成用トランジスタQrefの利得係数 β_{ref} を前記第1の変換用トランジスタQaの利得係数と等しくなるように設定した。また、前記基準電流生成用トランジスタQrefの出力端子P_oを隣接して形成される他の単一ラインドライバRD1～RD_iのデジタル・アナログ変換回路21aの入力端子Piに接続した。

【0098】

このようにすることによって、前記他の単一ラインドライバのデジタル・アナログ変換回路21aでは前記基準電流Irefを基準値として画像デジタルデータに応じたデータ電流IDを出力することができる。このとき、データ電流IDは、前記第1～6の電流供給用トランジスタQd1～Qd6の閾値電圧の影響を受けることはない。その結果、異なった単一ラインドライバRD1～RD_iにおいて、同一画像デジタルデータに対して異なる大きさのデータ電流IDが出力されることはない。従って、画像デジタルデータに応じてデータ電流IDを精度良く制御することができる。その結果、有機ELディスプレイ10の表示品位を向上させることができる。

【0099】

(2) 前記実施形態では、基準電流Irefを生成するマスタードライバとその基準電流Irefに応じて駆動するスレーブドライバの回路構成は全て同じである。従って、前記マスタードライバと前記スレーブドライバとを区別して使用する必要はない。この結果、単一ラインドライバの製造コストを削減することができる。

【0100】

(第2実施形態)

次に、第1実施形態で説明した電気光学装置としての有機ELディスプレイ10の電子機器の適用について図6に従って説明する。有機ELディスプレイ10

は、モバイル型のパーソナルコンピュータ、携帯電話、デジタルカメラ等種々の電子機器に適用できる。

【0101】

図6は、モバイル型パーソナルコンピュータの構成を示す斜視図を示す。図6において、パーソナルコンピュータ30は、キーボード31を備えた本体部32と、前記有機ELディスプレイ10を用いた表示ユニット33とを備えている。この場合においても、有機ELディスプレイ10を用いた表示ユニット33の表示品位を向上させることができる。

【0102】

尚、発明の実施形態は、上記実施形態に限定されるものではなく、以下のように実施してもよい。

○上記実施形態では、画像デジタルデータを6ビットとし、その6ビットの画像デジタルデータに応じて、デジタル・アナログ変換回路21aを6ビットの電流出力型デジタル・アナログ型変換回路に適応した。これを6ビット以外のデジタル・アナログ型変換回路に適用してもよい。このようにすることで、上記実施形態と同様の効果を得ることができる。

【0103】

○上記実施形態では、デジタル・アナログ変換回路21aを構成する第1及び第2の変換用トランジスタQa, Qb、第1～6の電流供給用トランジスタQd1～Qd6の導電型をn型としたが、p型にしてもよい。このようにすることで、上記実施形態と同様の効果を得ることができる。

【0104】

○上記実施形態では、1色からなる有機EL素子16の画素回路15を設けた有機ELディスプレイ10であったが、赤色、緑色及び青色の3色の有機EL素子16に対して各色用の画素回路15を設けたELディスプレイに応用しても良い。

【0105】

○上記実施形態では、画素回路15に具体化して好適な効果を得たが、有機EL素子21以外の例えばLEDやFED等の発光素子のような電流駆動素子を駆

動する単位回路に具体化してもよい。RAM等（特にMRAM）の記憶装置に具体化してもよい。

【0106】

○上記第1実施形態では、電流駆動素子として有機EL素子16について具体化したが、無機EL素子に具体化してもよい。つまり、無機EL素子からなる無機ELディスプレイに応用しても良い。

【図面の簡単な説明】

【図1】 第1実施形態の有機ELディスプレイの電気的構成を示すブロック回路図である。

【図2】 表示パネル部の回路構成を示すブロック回路図である。

【図3】 画素回路の回路図である。

【図4】 データ線駆動回路の内部構成図である。

【図5】 デジタル・アナログ変換回路の回路図である。

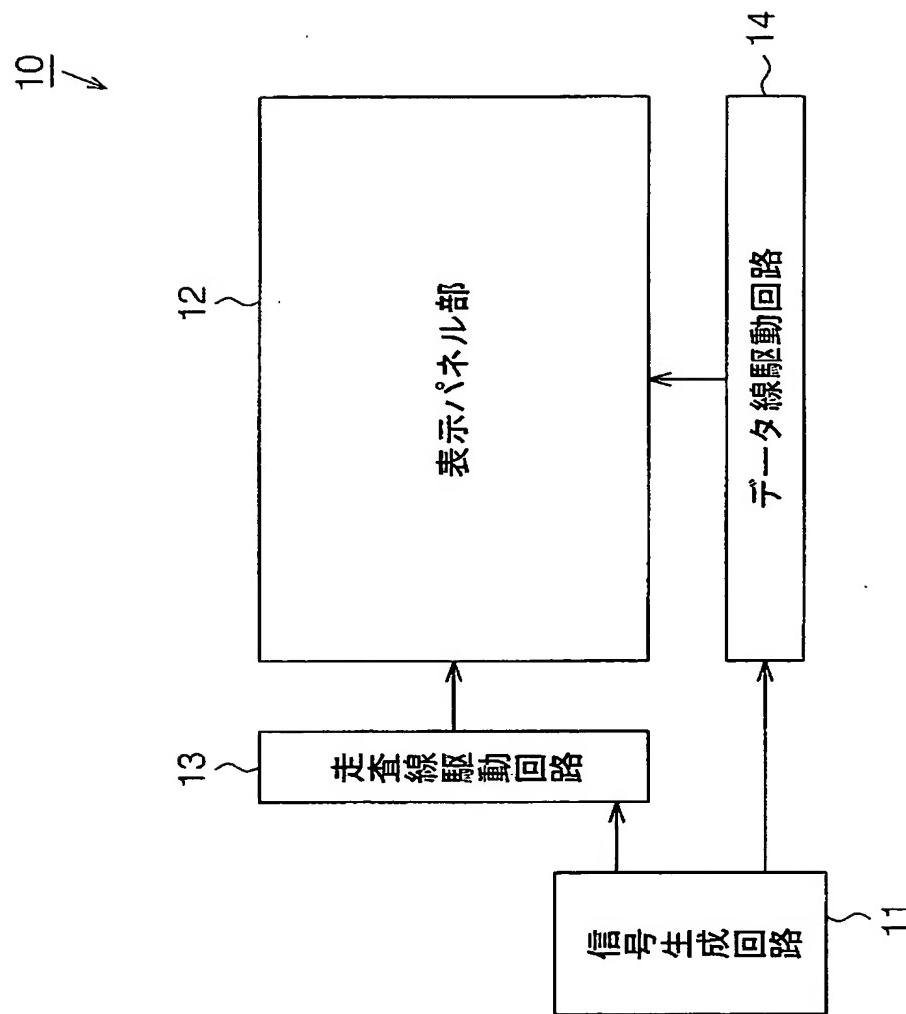
【図6】 第2実施形態を説明するためのモバイル型パーソナルコンピュータの構成を示す斜視図である。

【符号の説明】

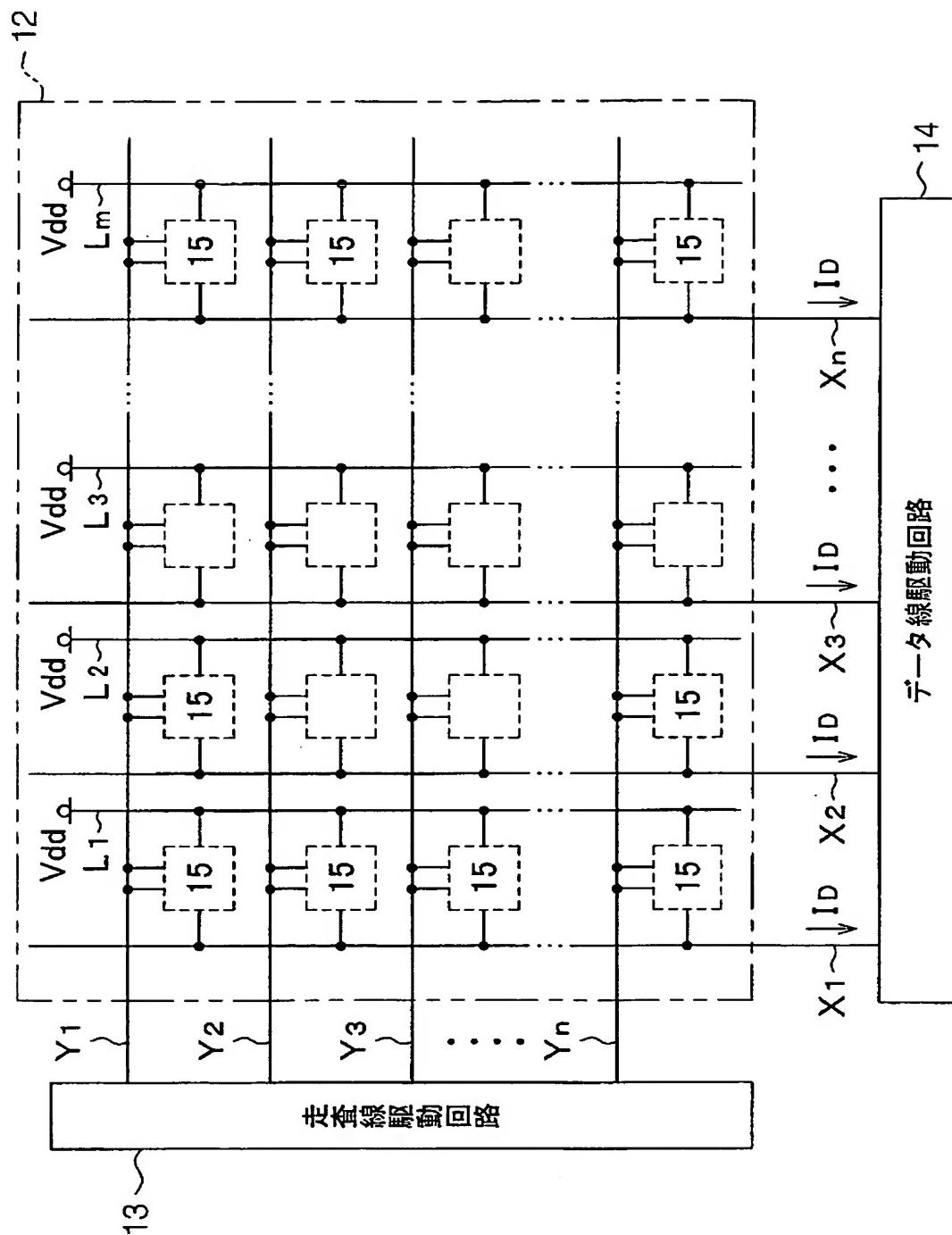
I D … 駆動電流量としてのデータ電流、Q a…第1のトランジスタとしての第1の変換用トランジスタ、Q b…第6のトランジスタとしての第2の変換用トランジスタ、Q d 1～Q d 6…第2のトランジスタとしての第1～第6の電流生成用トランジスタ、Q s 1～Q s 6…第3のトランジスタとしての第1～6のスイッチング用トランジスタ、Q r e f…第4のトランジスとしての基準電流生成用トランジスタ、1 0…電気光学装置としての有機ELディスプレイ、1 4…電子装置またはデータ電流供給回路としてのデータ線駆動回路、1 5…画素回路、1 6…電気光学素子としての有機EL素子、2 0…制御回路、2 1 a…電子回路としてのデジタル・アナログ変換回路、7 0…電子機器としてのモバイル型パーソナルコンピュータ。

【書類名】 図面

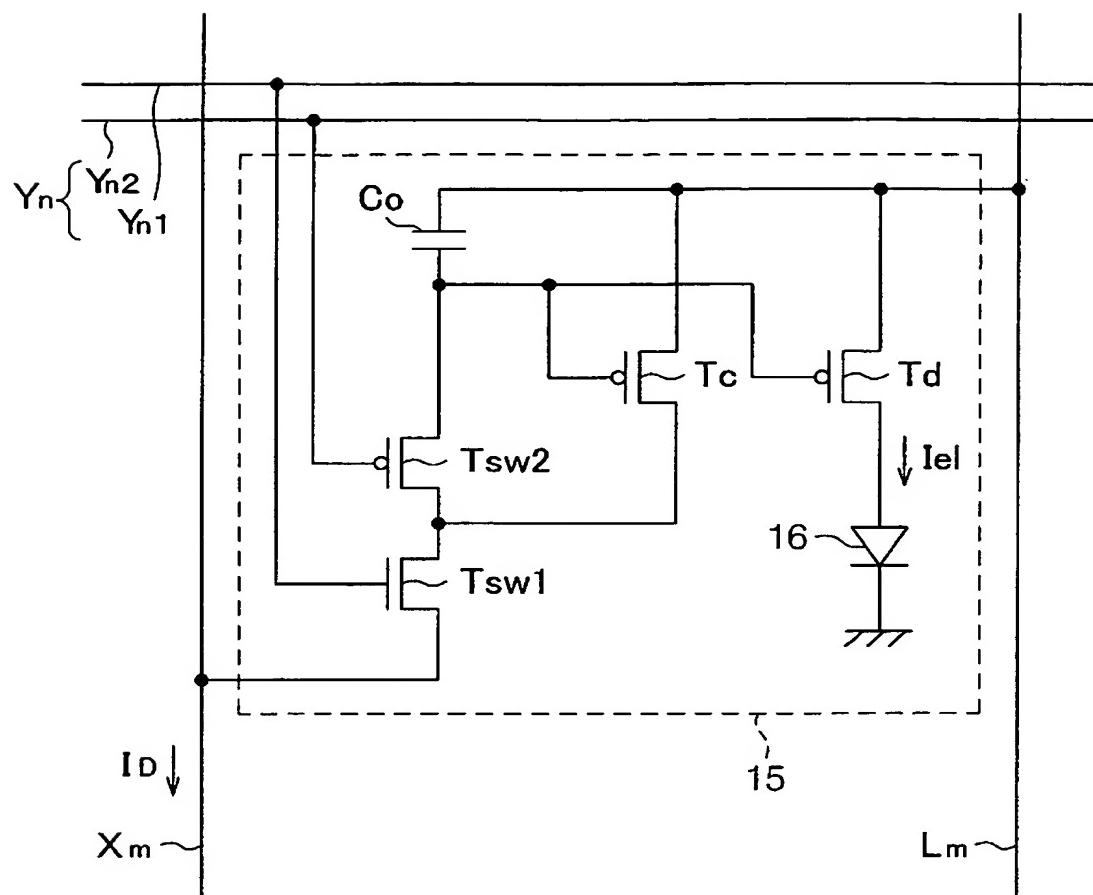
【図 1】



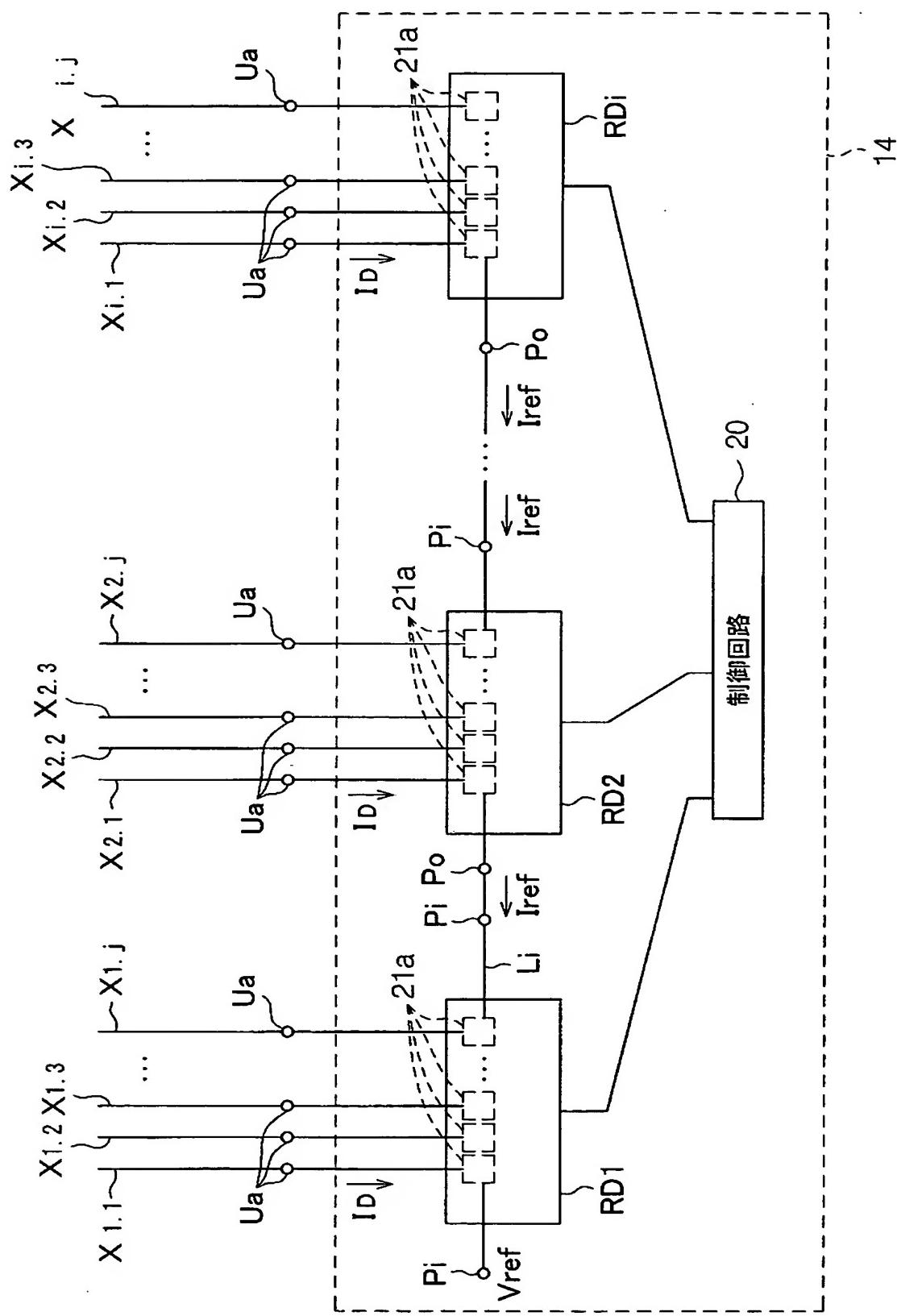
【図 2】



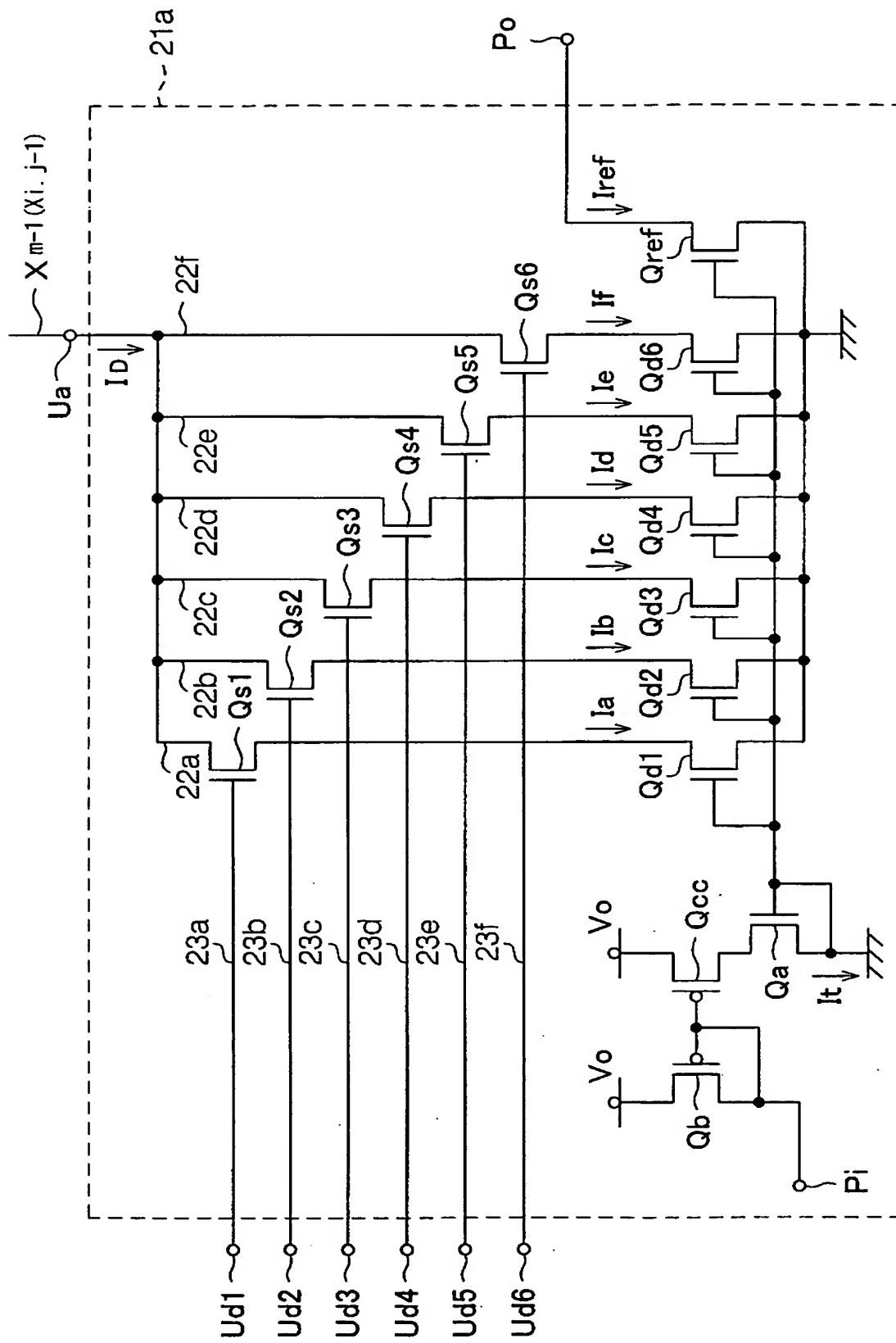
【図3】



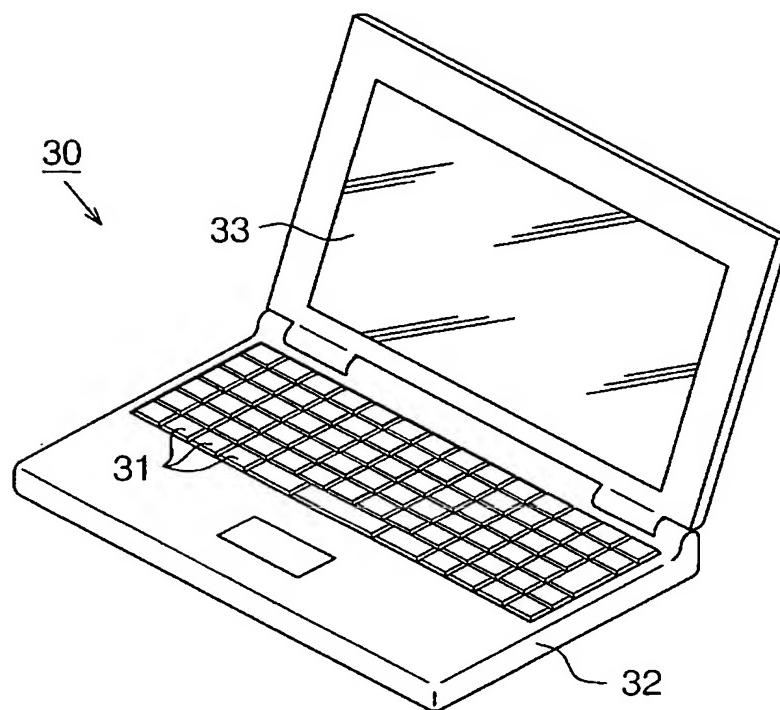
【図4】



【図5】



【図6】



【書類名】 要約書

【要約】

【課題】 トランジスタの特性ばらつきを抑制することができる電子回路、電子装置、電気光学装置及び電子機器を提供する。

【解決手段】 単一ラインドライバを構成するデジタル・アナログ変換回路21aを第1及び第2の変換用トランジスタQa, Qb、電流用トランジスタQcc、第1～6の電流供給用トランジスタQd1～Qd6、第1～6のスイッチング用トランジスタQs1～Qs6及び基準電流生成用トランジスタQrefで構成した。また、第1の変換用トランジスタQaと第1～6の電流供給用トランジスタQd1～Qd6とがカレントミラー回路を構成するようにした。そして、第1の変換用トランジスタQaとカレントミラー回路を構成する基準電流生成用トランジスタQrefを形成した。また、基準電流生成用トランジスタQrefの出力端子Poを隣接して形成される他の単一ラインドライバのデジタル・アナログ変換回路21aの入力端子Piに接続した。

【選択図】 図5

認定・付加情報

特許出願の番号	特願2003-044351
受付番号	50300282125
書類名	特許願
担当官	第一担当上席 0090
作成日	平成15年 2月24日

<認定情報・付加情報>

【提出日】 平成15年 2月21日

次頁無

出証特2003-3101060

特願2003-044351

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住所 東京都新宿区西新宿2丁目4番1号
氏名 セイコーエプソン株式会社